

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-220920

(43)Date of publication of application : 30.09.1991

(51)Int.Cl. H03M 7/40

(21)Application number : 02-015085 (71)Applicant : FUJITSU LTD

(22)Date of filing : 26.01.1990 (72)Inventor : TOMITA YOSHIHIRO

(54) VARIABLE RATE ENCODER

(57)Abstract:

PURPOSE: To miniaturize a device scale and to reduce a cost by allowing a bit rate selective section to decide the lowest bit rate based only on a coded code from an encoder selected as a candidate with an object selective section as an object, thereby relieving the load of a high speed processing in the bit rate selective section.

CONSTITUTION: The object selective section 22 selects a bit rate corresponding to at least a predictive input signal representing high correlation in a correlation discriminating section 21 as an object. Then a bit rate selective section 12 decides a minimum bit rate by using only a coded code(CD) from an encoder 11 corresponding to the bit tare selected as the object from the object selective section 22. That is, a bit rate which might be caused in a current frame is predicted based on a just preceding frame and the selective processing of the bit rate is implemented only to it. Thus, the load of the bit rate selective section 12 is relieved, the hardware of a variable rate

coder is miniaturized and the cost is naturally reduced.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平3-220920

(43) 公開日 平成 3 年 (1991) 9 月 30 日

(51) Int. Cl. ⁵
H 0 3 M 7/40

識別記号

F I

審査請求 未請求 請求項の数 2 (全10頁) (12)

(21) 出願番号 特願平2-15085
(22) 出願日 平成 2 年 (1990) 1 月 26 日

(71) 出願人 000000522
富士通株式会社
神奈川
(72) 発明者 富田 吉弘
*

(54) 【発明の名称】可変レート符号化装置

(57) 【要約】

【目的】ビットレート選択部における高速処理の負担を軽減して装置規模の小形化および低廉化を図ることのできる可変レート符号化装置を提供する

【効果】直前フレームを見て現フレームの予測をすることにより、ビットレート選択部での処理の負担を軽減し、ハードウェア規模の小形化、さらにはコストを低廉化した可変レート符号化装置が実現できる

【産業上の利用分野】入力信号例えば音声入力信号を情報発生量に応じた最適なビットレートで符号化して受信側に送出する可変レート符号化装置に関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-220920

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月30日

H 03 M 7/40

6832-5 J

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 可変レート符号化装置

⑮ 特 願 平2-15085

⑯ 出 願 平2(1990)1月26日

⑰ 発 明 者 富 田 吉 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 青 木 朗 外 4 名

明 細 書

1. 発明の名称

可変レート符号化装置

2. 特許請求の範囲

1. フレーム単位で符号化すべき入力信号 (S_{in}) を共通に受信し、かつ、各々が相互に異なるビットレートをもって個々に符号化コード (CD_1 , CD_2 , CD_n) を生成する複数の符号器 (11) と、

各前記符号化コード (CD_1 , CD_2 , CD_n) および前記入力信号 (S_{in}) を監視して、所定の信号品質基準を超え得る最低のビットレートを決定してビットレート選択信号 (S_{sr}) を生成するビットレート選択部 (12) と、

該ビットレート選択信号 (S_{sr}) に従って、対応する1の前記符号化コードを選択すると共に当該符号化コードのフレーム化データ (FR) と当該ビットレート情報 (BR) とを多重化して受信側に送出する選択・多重部 (13) とを有する可変レート符号化装置 (10) において、

直前フレームで前記符号器 (11) 側で処理され

た入力信号 (S_{in}) に対する全ての予測係数を用い、現フレームで処理する入力信号 (S_{in}) の予測誤差信号を求める相関判定部 (21) と、

該相関判定部 (21) の出力からの予測誤差信号の少ない符号器を候補として選定する候補選定部 (22) とを設け、前記ビットレート選択部 (12) は、該候補選定部 (22) により候補として選定された前記符号器 (11) からの符号化コードのみを対象として前記の最低のビットレートを決定することを特徴とする可変レート符号化装置。

2. 各前記符号器 (11) が ADPCM方式の符号器であるとき、前記相関判定部 (21) で求めた予測誤差信号の代りに、符号化中に計算される予測誤差信号 (S_{sr}) を用いる請求項1記載の可変レート符号化装置。

3. 発明の詳細な説明

〔 概 要 〕

フレーム単位で符号化すべき入力信号を共通に受信し、かつ、各々が相互に異なるビットレートをもって個々に符号化コードを生成する複数の符

特開平3-220920 (2)

号器と、各前記符号化コードおよび前記入力信号を監視して、所定の信号品質基準を超え得る最低のビットレートを決定してビットレート選択信号を生成するビットレート選択部と、該ビットレート選択信号に従って、対応する1の前記符号化コードを選択すると共に当該符号化コードのフレーム化データと当該ビットレート情報とを多重化し出力信号として受信側に送出する選択・多重部とを有する可変レート符号化装置に関し、

ビットレート選択部における高速処理の負担を軽減して装置規模の小形化および低廉化を図ることを目的とし、

直前フレームで前記符号器側で処理された入力信号に対する予測係数を用いて、現フレームで処理される入力信号に対して予測誤差信号を求める相関判定部と、該相関判定部にて予測誤差信号の少ない、すなわち高い相関を示す少なくとも1の符号器を候補として選定する候補選定部とを設け、前記ビットレート選択部は、該候補選定部により候補として選定された前記符号器からの符号化コ

ードのみを対象として前記の最低のビットレートを決定するように構成する。

〔産業上の利用分野〕

本発明は、入力信号例えば音声入力信号を情報発生量に応じた最適なビットレートで符号化して受信側に送出する可変レート符号化装置に関する。

入力信号を伝送するにあたっては、伝送効率をあげるため種々の符号化装置が提案されている。

このような符号化装置には、伝送路の利用状態に応じて符号化ビットレートを変化させて伝送路の効率向上を図る方式のもの、または入力信号である音声の情報発生量に応じたビットレートで符号化する方式のものが知られている。

後者の音声の情報発生量に応じたビットレートで符号化する場合の方式としては、①符号化品質(S/N)を一定にするようにビットレートを制御する、いわゆる一定 S/N 方式、および②符号化雑音を一定にするようにビットレートを制御する、いわゆる一定雑音方式が知られている。

〔従来の技術〕

上記の一定 S/N 方式の場合、音声入力信号の電力(パワー)が符号器内のA/D変換器のダイナミックレンジに対して所定の S/N のしきい値から決定されるレベル以下であるような低レベルの音声入力信号であると、計算で求めた符号化品質が低くなってしまい、符号化品質が向上しないにも拘らず、上記A/D変換器で得られる品質を上まわるビットレートを与えてしまうという第1の不都合が生ずる。

一方、上記の一定雑音方式の場合、音声入力信号の電力がA/D変換器のダイナミックレンジに対して高いレベルにあるとき、符号器のビットレートで決定される性能的限界から雑音の絶対レベルが高くなり、品質的に充分満足できる(音声信号の場合40dB程度)符号化ビットレートが存在するにも拘らず、所定の雑音のしきい値を満足させるために、必要以上のビットレートを与えるという第2の不都合が生ずる。

すなわち、前記の一定 S/N 方式の場合音声入

力信号が低レベルのとき上記の第1の不都合があり、前記の一定雑音方式の場合音声入力信号が高レベルのとき上記の第2の不都合がある。

そこで、上記した第1および第2の不都合を解決し、音声入力信号のレベルのいかに拘らず、所定の符号化品質を保ちかつ伝送効率が最適であるような符号化装置、すなわち可変レート符号化装置が提案された。

第10図は本発明の前提となる可変レート符号化装置を示すブロック図である。本図の可変レート符号化装置10において、11は符号器、12はビットレート選択部、13は選択・多重部である。ここに、複数の符号器11は、フレーム単位で符号化すべき入力信号 S_{in} を共通に受信し、かつ、各々が相互に異なるビットレートをもって個々に符号化コード CD_1, CD_2, \dots, CD_n を生成する。ビットレート選択部12は、各符号化コード CD_1, CD_2, \dots, CD_n および入力信号 S_{in} を監視して、所定の信号品質基準を超え得る最低のビットレートを決定してビットレート選択信号 S_{br} を生成する。選択・多重部13は、

特開平3-220920 (3)

ビットレート選択信号 S_{sr} に従って、対応する1の前記符号化コードを選択すると共に当該符号化コードのフレーム化データ(FR)と当該ビットレート情報(BR)とを多重化し出力信号 S_{out} として受信側に送出する。

第11図は受信側への出力信号のフォーマットを示す図である。上記可変レート符号化装置からの出力信号 S_{out} は、本図に示すように最終的に選択された符号化コードのフレーム化データFRと、この符号化コードのフレーム化データFRがいかなるビットレートで符号化されたものであるかを示すビットレート情報BRの対からなり、このような対が連続して受信側に送出される。

符号化コードのフレーム化データFRは、一定個数の複数サンプリング例えば16サンプリングをもって入力信号 S_{in} をサンブルしたものを符号化して得られた各コードを一括したものであり、また、ビットレート情報BRは、例えば2ビット、3ビット、4ビット、5ビット、6ビット等のいずれかの種別を表す。伝送効率を高めるには、一

定の信号品質基準を超える範囲で最も低いビットレートであることが望ましいことは当然である。

第12図は受信側の構成例を示すブロック図である。伝送路14を介して上記の出力信号 S_{out} を受信した受信装置15は、分離部16にて符号化コードのフレーム化データFRとビットレート情報BRとに分離する。その後段には、可変レート符号化装置10における各符号器11と対応して、それぞれビットレートの異なる複数の復号器17を有し、それぞれは復号信号 $DC_1, DC_2 \dots DC_n$ を出力する。ただし、常にいずれか1つの復号器が動作せしめられ、これを指定するのがビットレート情報BRである。かくして、復号信号により原入力信号 S_{in} を再生した信号 S_{in}' が得られる。

〔発明が解決しようとする課題〕

第10図を再び参照すると、ビットレート選択部12はかなり重要な役割をしておりその処理負担は大である。すなわち1つの入力信号 S_{in} を複数(例えば第11図で説明した2ビット～6ビットに

それぞれ対応する5台)の符号器11で同時並列処理して得た全ての符号化コードを一度に取り込んで信号品質(符号化品質)を評価し、短時間のうち最適ビットレートを決定しなければならない。この結果、ビットレート選択部12における高速処理の負担はきわめて大となり、ひいては可変レート符号化装置の規模を大きくし、したがって装置コストを高くしてしまうという問題が生ずる。

したがって本発明は上記問題点に鑑み、ビットレート選択部12における高速処理の負担を軽減して装置規模の小形化および低廉化を図ることできる可変レート符号化装置を提案することを目的とするものである。

〔課題を解決するための手段〕

第1図は本発明に基づく可変レート符号化装置の原理構成を示す図である。本図において、第10図と異なるのは、相関判定部21および候補選定部22が付加されたことである。

相関判定部21は、直前フレームで符号器11側に

て処理された入力信号 S_{in} を参照し、現フレームで処理される入力信号 S_{in} との相関を判定する。なお、“符号器側にて処理された入力信号 S_{in} ”とは、直前フレームにおける入力信号そのものでもよいし、またこの直前フレームにおける各符号器11内の処理信号でもよいし、あるいは、これら入力信号および処理信号の双方でもよい。

一方、候補選定部22は、相関判定部21にて高い相関を示す少なくとも1の予測入力信号に対応する前記ビットレートを候補として選定する。そしてビットレート選択部12は、候補選定部22により候補として選定されたビットレートに対応する符号器11からの符号化コード(CD)のみを対象として既述の最低のビットレートを決定する。

〔作用〕

ビットレート選択部12は、全ての符号化コードを対象として信号品質基準との比較判定をする必要はなくなる。これは、全ての符号化コードのうち、現フレームで選択される可能性の高いビット

特開平3-220920 (4)

レートに対応する少なくとも1つの符号化コードを候補として選定するようにしたからである。この候補を選定する目安として、直前フレームと現フレームの間の相関に着目している。つまり、現フレームで起こりそうなビットレートを直前フレームをもとに推測し、そのみについてビットレートの選択処理を行うから、ビットレート選択部12の負担は軽減される。したがって可変レート符号化装置のハードウェアは小形化し、コストも当然下がることになる。

〔実施例〕

以下、本発明の実施例について述べる。前述のように本発明に基づく相関判定部21は、符号器側で処理された直前フレームの入力信号 $S_{i,n}$ を参照して現フレームの入力信号の予測をするものであり、第1例としてはいわゆる線形予測を利用した相関判定部が考えられる。これは直前の入力信号の線形予測分析をして現フレームの入力信号を予測し誤差信号を求めるものである。そして候補選

定部22はこの予測誤差信号に対応するビットレートを少なくとも1つ候補として選定する。ビットレート選択部12は、絞られた候補のみを対象として、信号品質基準に対する判定をし、最適なビットレート選択信号を出力する。次に相関判定部21の第2例と、これに協働する候補選定部22について説明する。これは本発明に係る部分の最も好ましい実施例である。

第2図は本発明に基づく相関判定部および候補選定部の一実施例を示す図である。この実施例は、相関判定の手段として、符号器11が本来的に生成する予測誤差信号を利用するものである。したがって、この場合の符号器11は周知のADPCM(adaptive differential pulse-code modulation: 適応差動パルス符号変調)方式の符号器であることが前提となる。このADPCM符号器はよく知られているが、第2図の説明に入る前に、簡単にこれについて要点を付記しておく。

第3図は周知のADPCM符号器を表すブロック図である。本図において、各部の意味は、

Q: 量子化器

Q^{-1} : 逆量子化器

S: スケールファクタ更新器

(量子化のステップサイズを変更するもの)

P: 適応予測器

-: 減算器

+: 加算器

であり、 S_p は予測信号、 $S_{e,r}$ は予測誤差信号である。その他の入力信号 $S_{i,n}$ および符号化コード CD (第1図の CD_1, CD_2, \dots, CD_n に相当) については前述した。なお、第1図において各符号器11から相関判定部21に至る各信号線は、上記の予測誤差信号 $S_{e,r}$ を転送するための信号線を想定して描かれたものである。

上記の予測誤差信号 $S_{e,r}$ を用いて予測利得 (PG) を算出することにより符号器の S/N が判明する。なお、符号器の S/N は予測利得 (PG) と量子化器Qの量子化利得との和であり、PGは、

$$PG = \frac{\text{入力信号 } (S_{i,n}) \text{ 電力}}{\text{予測誤差信号 } (S_{e,r}) \text{ 電力}}$$

である。

ここに直前フレームで求められた予測利得PGを利用することによって、現フレームで採用すべきビットレートが大まかに定まる。なぜなら、 S/N は予測利得PGと量子化利得の和であるから、 S/N として一定のしきい値が定められれば、そのしきい値から直前フレームの処理で得られた予測利得PGを差し引いて、残りの必要な量子化利得が求められ、したがってこの量子化利得から判断して適切な符号器を割り出すことができる。

第2図に戻ると、210番台の参照番号が付された構成要素は第1図の相関判定部21に対応し、220番台の参照番号が付された構成要素は第1図の候補選定部22に対応する。

まず構成要素 211, 212-1 ~ 212-n, 213-1 ~ 213-n, 214-1 ~ 214-n は、前述した、

$$\text{予測利得 } PG = \frac{\text{入力信号 } (S_{i,n}) \text{ 電力}}{\text{予測誤差信号 } (S_{e,r}) \text{ 電力}}$$

特開平3-220920 (5)

に關係する演算を、 n 個の符号器11の各々の予測誤差信号 $S_{err1}, S_{err2}, \dots, S_{errn}$ について個別に行う。

第4図は第2図の電力算出部の具体例を示す図、第5図は第2図の予測利得算出部の具体例を示す図である。第4図に示す電力算出部は、第2図の電力算出部211および212-1~212-nの全てに共通の構成である。すなわち、IN1からの信号 S_{in} や $S_{err1} \sim S_{errn}$ を二乗（電圧レベルの二乗）する掛算器MLT(multiplier)と、その出力を一方の入力とするアキュムレータACC(accumulator)と、結果を保持するレジスタREG(register)とからなる。

第5図に示す予測利得算出部は、第2図の予測利得算出部213-1~213-nの全てに共通の構成であり、割算器からなる。割算の分母は入力IN3として与えられ、分子は入力IN2として与えられる。既述の

$$PG = \frac{S_{in} \text{電力}}{S_{err} \text{電力}}$$

ータFR1において採用された予測利得PGが現フレームのFR2の決定の少し前に取り込まれる。つまり、直前フレーム（期間T1）で得たPGはほぼ1フレーム分保持された後、現フレーム（期間T2）での相関判定に供される。このためにほぼ1フレーム分の時間に相当する遅延回路214-1~214-nが必要となる。したがって、遅延回路は切替器221の前段に設けても、その後段に設けてもかまわない。後段に設けるならば、遅延回路は1つで済む。

次に第2図の候補選定部(221, 222, 223および224からなる)について説明する。まず、候補選定部の入力段を構成する切替器221は、直前フレームで決定されたビットレート選択信号 S_{br} を、遅延回路224によりほぼ1フレーム分の遅延を与えて受信し、直前フレームに近い条件下の予測利得を、予測利得算出部213-1~213-nの中から選ぶ。

選ばれた予測利得は次にビット数算出部222に与えられる。このビット数算出部222は、一定の

に則り、IN2は電力算出部211の出力、IN3は電力算出部212-1~212-nの対応する出力である。

第2図に戻ると、第4図および第5図に示した構成の電力算出部211, 212-1~212-nおよび予測利得算出部213-1~213-nにより得られた予測利得は遅延回路214-1~214-nに印加されてほぼ1フレーム分の遅延が与えられて、後述の切替器221に印加される。1フレーム分の遅延を与えるのは第6図より明らかである。

第6図は本発明における動作タイミングを表す図である。本図において、期間T2は現フレームの処理期間、期間T1は直前フレームの処理期間、期間T3は次フレームの処理期間であり、各期間の終了時に、最速ビットレートで符号化された符号化コードのフレーム化データFR1・FR2・FR3…が出力される。現フレーム（期間T2）についてみると、現フレームでの符号化コードのフレーム化データFR2は、直前フレーム（期間T1）で得られた符号化コードのフレーム化データFR1を参照するために、該符号化コードのフレーム化デ

アルゴリズムで動作するディジタル信号プロセッサ（いわゆるDSP）であり、次に述べる論理演算を実行する。

ビット数算出部222から最終的に出力するものは候補となるビット数B、すなわちビットレートである。このビット数Bは、

$$B = (SN - PG + 7.2) / 6 \quad (1)$$

または

$$B = (SPI - PG + 7.2) / 6 \quad (2)$$

であることが知られている。ここで式(1)は $SPI > SN$ なる条件のとき採用され、式(2)は $SPI \leq SN$ なる条件のとき採用される。SNは前述した S/N のしきい値つまり信号品質を判断する基準値であり、第2図にも示す。またSPIは入力信号電力の逆数を意味し、

$$SPI = 20 \log_{10}(S/N_0)$$

で表される。Sは入力信号 S_{in} の電力、 N_0 は符号器11内の量子化器（第3図のQ）の量子化精度である。

なお、式(1)および式(2)内のPGとして

特開平3-220920 (6)

は、

$$PG = 20 \log_{10}(S/E)$$

なる値を用いる。Eは予測誤差信号 S_e の電力である。

かくしてビット数算出部222からは候補となるビット数Bが選定される。この選定されたビット数Bは、候補ビットレート選定部223にてさらに2以上の候補が選ばれる。なぜなら入力信号 S_{in} は時々刻々変化する、上記の選定されたビット数Bが必ず正しいという保証はないからである。

第7図は候補ビットレート選定部223の概要を示す図であり、ビット数算出部222からのビット数Bに対し、その近傍のビット数(B-1)およびビット数(B+1)を生成して、3つの候補をビットレート選択部12に提供する。

最後に第1図のビットレート選択部12の一例を参考までに説明する。

第8図はビットレート選択部12の一例の概要を示す図である。本図中、30番台の参照番号を付した構成要素がビットレート選択部12を形成する。す

なわち、

入力信号 S_{in} および受信側の復号器(第12図の17)を再現したn台の復号器31からの復号信号 $DC_1 \sim DC_n$ に基づいて、それぞれの復号信号について S/N を計算し一定の S/N になるような最適の符号化コードCDを出力する符号器11を決定する S/N 評価手段32と、

入力信号 S_{in} および復号信号 $DC_1 \sim DC_n$ に基づいて、雑音が一定になるビットレートの符号化コードCDを出力する符号器11を決定する雑音評価手段33と、

入力信号 S_{in} のレベルに応じて、 S/N 評価手段32または雑音評価手段33のいずれの決定信号を用いるかを決定する評価決定手段34と、からなり、選択・多重部13は、符号化コード $CD_1 \sim CD_n$ を入力し、評価決定手段34の決定に基づいた S/N 評価手段32または雑音評価手段33のいずれかの決定信号に応じた最適な符号器11の符号化コードCDを選択して出力する。なお、35は第2図の候補ビットレート選択部223の出力によって、復号信号

$DC_1 \sim DC_n$ のうちのいくつかに対象を絞るためのゲートである。

好適には、評価決定手段34は入力信号 S_{in} の電力、 S/N 評価手段32は入力信号 S_{in} と復号信号DCとの差の電力と入力信号の電力との比、および、雑音評価手段33は入力信号 S_{in} と復号信号DCとの電力、に基づいてそれぞれ前記の決定を行う。

評価決定手段34は、実質的に、入力信号 S_{in} が低レベルのときは雑音評価手段33の決定信号によって、入力信号 S_{in} が高レベルのときは S/N 評価手段32の決定信号によって、伝送すべき符号化コードCDが選択されるように選択・多重部13を制御する。入力信号 S_{in} が上記低レベルと高レベルの間にあるときは、評価決定手段34は、入力信号 S_{in} のレベルに応じて最適な符号化コードCDが選択されるように、 S/N 評価手段32または雑音評価手段33のいずれかからの決定信号によって、伝送すべき符号化コードCDが選択されるように選択・多重部13を制御する。

これにより、入力信号 S_{in} のレベルのいかに拘らず、符号化品質を一定に保ちながら伝送効率を向上させることができる。

上記信号処理に際しては、信号の電力(パワー)を用いる。すなわち、評価決定手段34は入力信号 S_{in} の電力を用いて評価決定する。 S/N 評価手段32は入力信号 S_{in} と復号信号DCとの差の電力と入力信号の電力との比から S/N を計算して、 S/N 評価を決定する。雑音評価手段33は入力信号 S_{in} と復号信号DCとの差の電力について雑音評価を決定する。

第9図は第8図のビットレート選択部12の詳細例を示す図である。本図において、復号信号 DC_1, DC_2, \dots, DC_n の中から、ゲート35によって例えば3つに絞られた復号信号 $DC_1 \sim DC_3$ は電力計算部6aに印加される。電力計算部6aは、加算部61~63と、電力計算処理部(PWR)64~67とで構成されている。加算部61~63はそれぞれ、入力信号 S_{in} から対応する復号信号 $DC_1 \sim DC_3$ を減算する。これらの差信号が電力計算処理部65~67に印加され

特開平3-220920 (7)

て、差電力、すなわち、差信号の2乗が計算される。

一方、入力信号 S_{in} はそのまま電力計算処理部64に印加されて、2乗され、その電力が計算される。差電力 $PWR1 \sim PWR3$ は、 S/N 評価手段32に対応する S/N 評価部7aに印加される。

S/N 評価部7aは、 S/N 計算部71~73と S/N 評価処理部74とで構成されている。 S/N 計算部71~73はそれぞれ、対応する差電力 $PWR1 \sim PWR3$ を電力計算処理部64からの電力信号 $PWR0$ で割算して、 S/N を計算する。 S/N 評価処理部74は、これらの S/N を入力として S/N しきい値 SN と比較し、 SN を超えているものの中からビットレートの最も低いものを最適なものとして選択する。この選択信号は S/N 評価信号 ESN として出力される。

雑音評価手段33(第8図)に対応する第9図の雑音評価部8aは、差電力 $PWR1 \sim PWR3$ を入力として、これらと雑音しきい値 SN' とを比較し、これより小さいものの内ビットレートの最も低いも

のを最適なものとして出力する。この選択信号は雑音評価信号 EN として出力される。

評価決定手段34(第8図)をなす第9図の評価決定部9aは、電力計算処理部64からの電力信号 $PWR0$ を入力として電力しきい値 PTH と比較し、これより電力信号 $PWR0$ が小さいときは「低」レベル、そうでないときは「高」レベルの評価決定信号 ED を出力する。

選択部51は既述のビットレート選択信号 S_{br} を出力するものであり、上記 S/N 評価処理部74からの S/N 評価信号 ESN と、上記雑音評価部8aからの雑音評価信号 EN とを入力とするとともに、上記評価決定部9aからの評価決定信号 ED を入力とし、評価決定信号 ED が「低」レベルの場合は雑音評価信号 EN を、評価決定信号 ED が「高」レベルの場合は S/N 評価信号 ESN を、 S_{br} として選択・多重部13に出力する。

選択された符号化コード CD は入力信号 S_{in} のレベルに応じて品質を維持しビットレートが最適のものであるから、伝送効率が向上するとともに

符号化品質も一定に維持されている。

以上の信号処理は既述のフレーム単位で行う。また以上の信号処理はDSPを用いて行うことができる。

〔発明の効果〕

以上説明したように本発明によれば、直前フレームを見て現フレームの予測をすることにより、ビットレート選択部12での処理の負担を軽減し、ハードウェア規模の小形化、さらにはコストを低廉化した可変レート符号化装置が実現される。

4. 図面の簡単な説明

第1図は本発明に基づく可変レート符号化装置の原理構成を示す図、

第2図は本発明に基づく相関判定部および候補選定部の一実施例を示す図、

第3図は周知のADPCM符号器を表すブロック図、

第4図は電力算出部の具体例を示す図、

第5図は予測利得算出部の具体例を示す図、

第6図は本発明における動作タイミングを表す

図、

第7図は候補ビットレート選定部の概要を示す図、

第8図はビットレート選択部の一例の概要を示す図、

第9図は第8図のビットレート選択部の詳細例を示す図、

第10図は本発明の前提となる可変レート符号化装置を示すブロック図、

第11図は受信側への出力信号のフォーマットを示す図、

第12図は受信側の構成例を示すブロック図である。

図において、

10…可変レート符号化装置、

11…符号器、

12…ビットレート選択部、

13…選択・多重部、

21…相関判定部、

22…候補選定部、

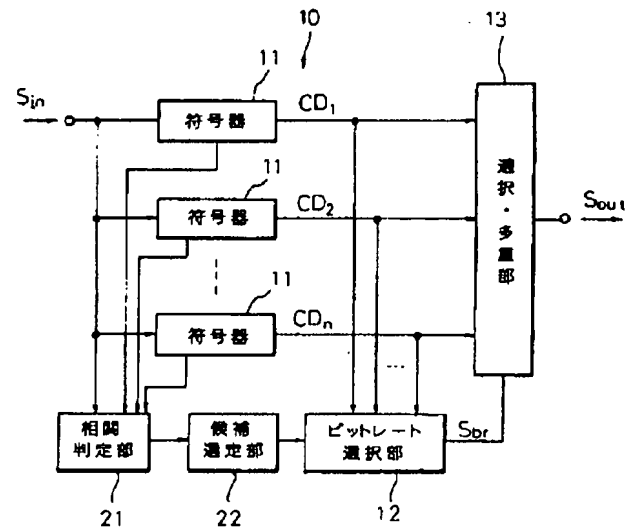
35…ゲート、

211, 212-1~212-n …電力算出部、

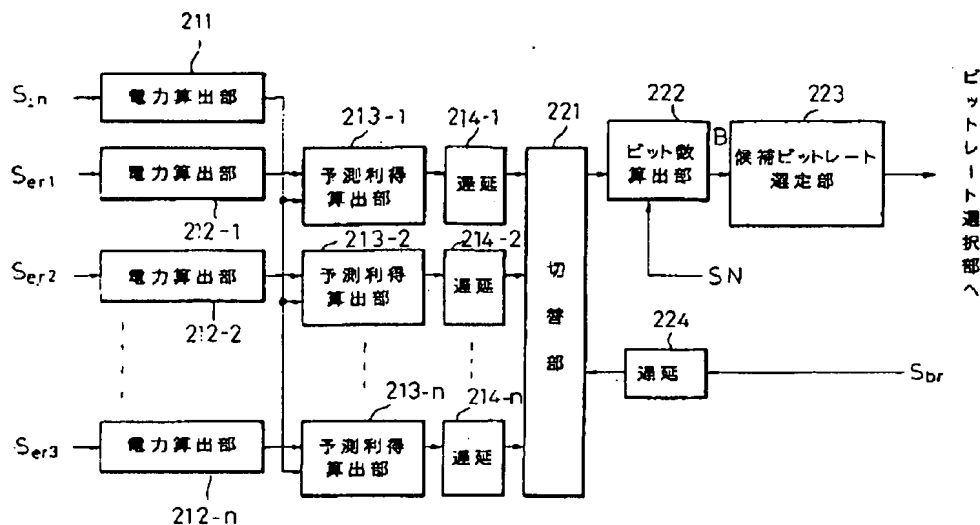
213-1~213-n …予測利得算出部、

222…ビット数算出部、
223…候補ビットレート算出部、
S_{in}…入力信号、
CD₁、CD₂、CD_n…符号化コード、
S_{br}…ビットレート選択信号、
BR…ビットレート情報、
FR…符号化コードのフレーム化データ、
S_{out}…出力信号、 S_{er}…予測誤差信号。

弁理士	青木	朗
弁理士	石田	敬
弁理士	平岩	賢三
弁理士	山口	昭之
弁理士	西山	雅也

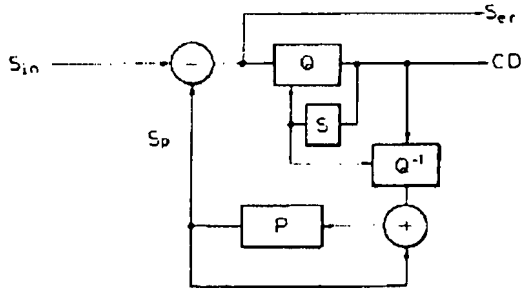


第 1 圖

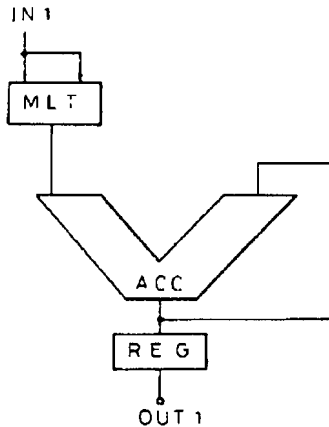


第 2 回

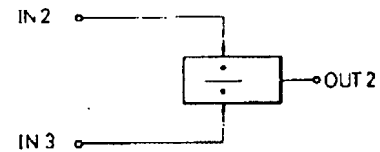
特開平3-220920 (9)



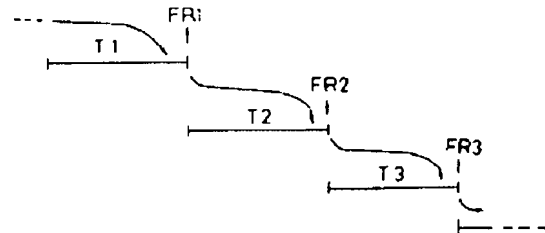
周知のADPCM符号器を表すブロック図
第3図



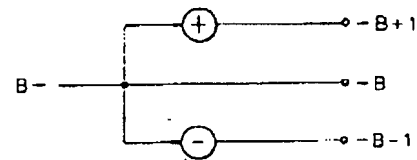
電力算出部の具体例を示す図
第4図



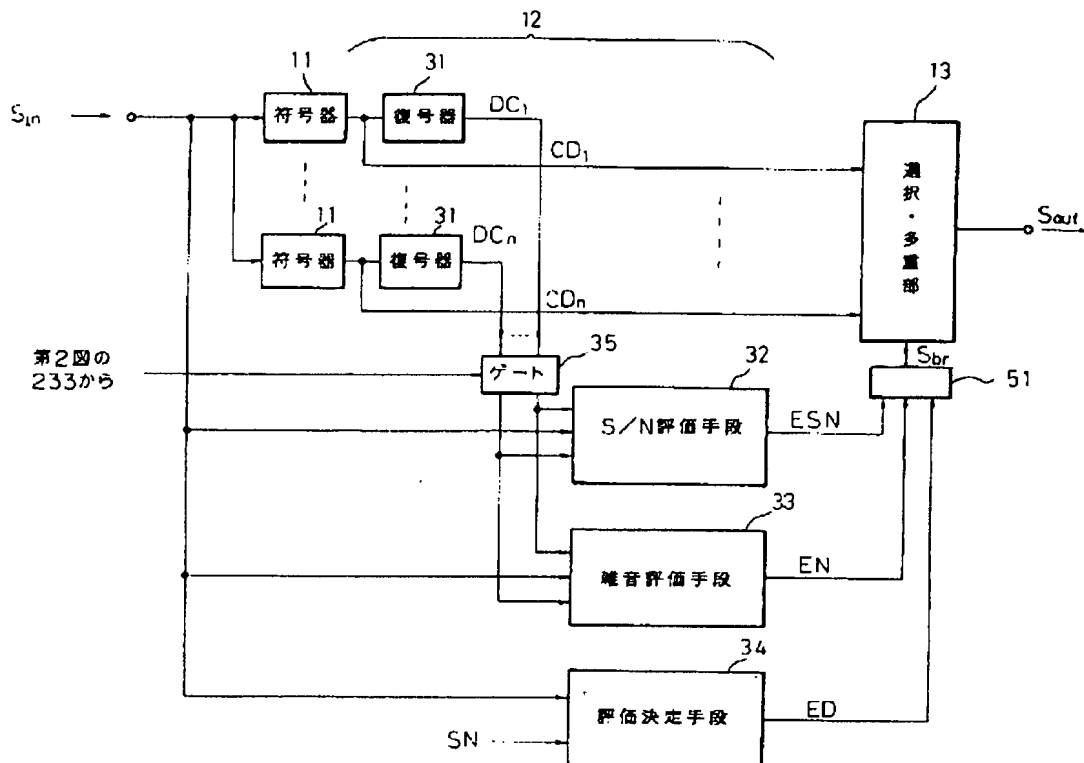
予測利得算出部の具体例を示す図
第5図



本発明における動作タイミングを示す図
第6図



候補ビットレート選定部の概要を示す図
第7図

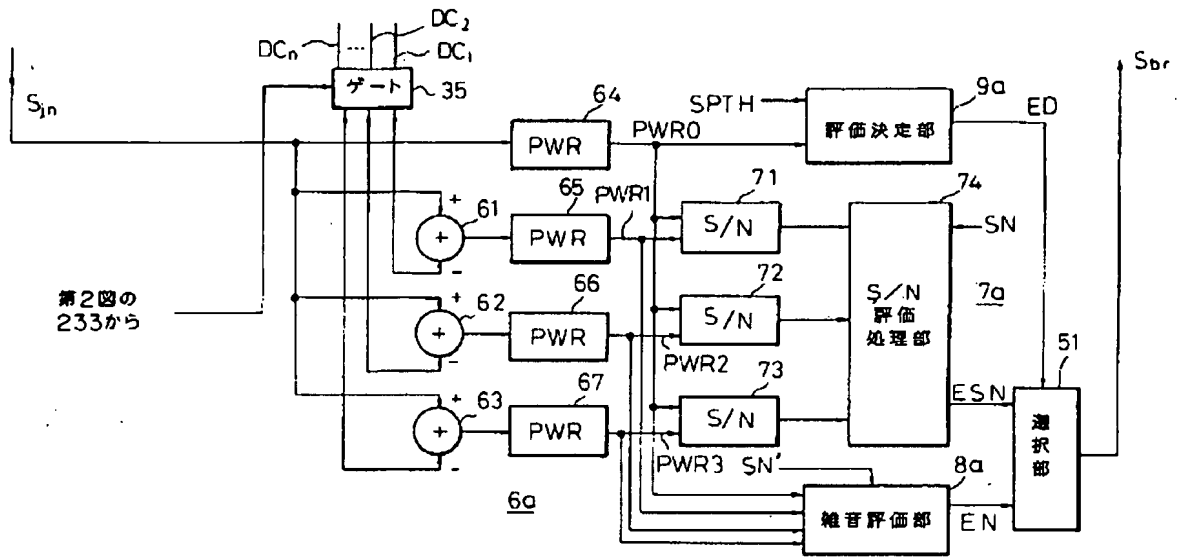


第2図の
233から

ビットレート選択部の一例の概要を示す図

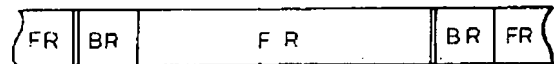
第8図

特開平3-220920 (10)



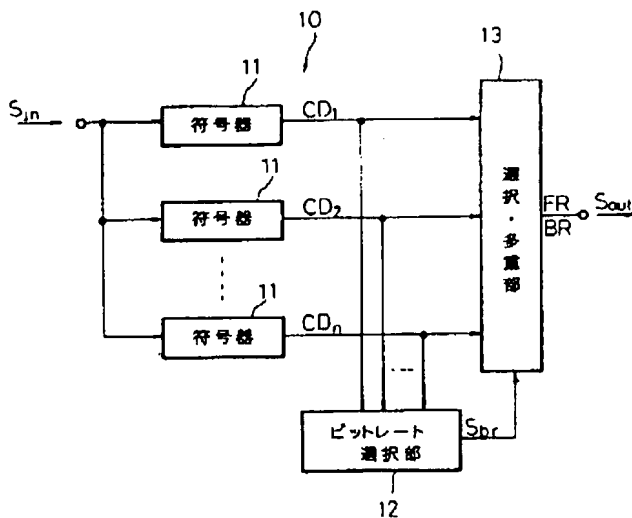
第8図のビットレート選択部の詳細例を示す図

第9図



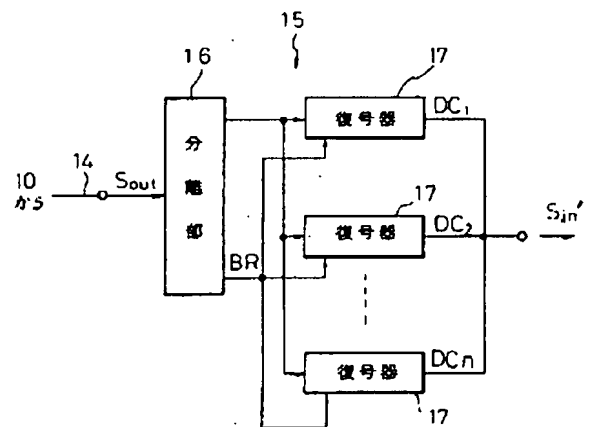
受信側への出力信号のフォーマットを示す図

第11図



本発明の前提となる可変レート符号化装置を示すブロック図

第10図



受信側の構成例を示すブロック図

第12図